Appendix 2

基板製作とハードウェア設計ガイド

ここでは，今回設計・製作したハードウェア（パソコン・ベースの簡易オシロスコープ機能付きロジック・アナライザ）のシステム構成，部品の選定，回路設計について紹介します．本システムは，おもに3.3Vのディジタル信号の観測（ディジタル・アナログ波形）を想定しているため，「簡易」という言葉をつけています．

1. 仕様の決め方とコンセプト

このシステムは低コスト設計を念頭にして，制御用CPUとしてコスト対性能比の優れた米国Atmel社のARM7コア搭載1チップ・マイコンAT91SAM7XCを採用しました．このLSIはUSB 2.0フル・スピードのサポート，Ethernetコントローラ（EMAC）内蔵というインターフェース上の利点があり，さらに内蔵メモリだけで動作できるというのが，選定上のもっとも重要な要素でした．つまり，外部メモリをいっさい使わないシステムというのがこだわりであり，直接低コスト化に関わる要因です．

さらに，効率的なリソースの管理やアプリケーションの運用を行うために，オペレーティング・システム（OS）を組み込むことにしました．そのOSとしてロイヤリティ・フリー（royalty free）のリアルタイムOS（RTOS：realtime OS）であるeCos（米国RedHat社）をベースにするシステムを考えてみました．これは実際，最近市場が広がっているパソコン・ベースの開発支援ツール，あるいは遠隔地データ・ロガーの応用に活用できる製品として既に基礎検討されており，その内容の一部を公開することにしました．

最近はパソコン・ベースの測定器市場の成長に伴い，さまざまな製品が発売されています．しかし，パソコン・ベースの製品は比較的安価（10万～20万円）ですが，その性能は専用測定器に比べると及ばないことも事実です（例えば，オシロスコープの場合にサンプリング・レート200Mサンプル/s以下が主流）．

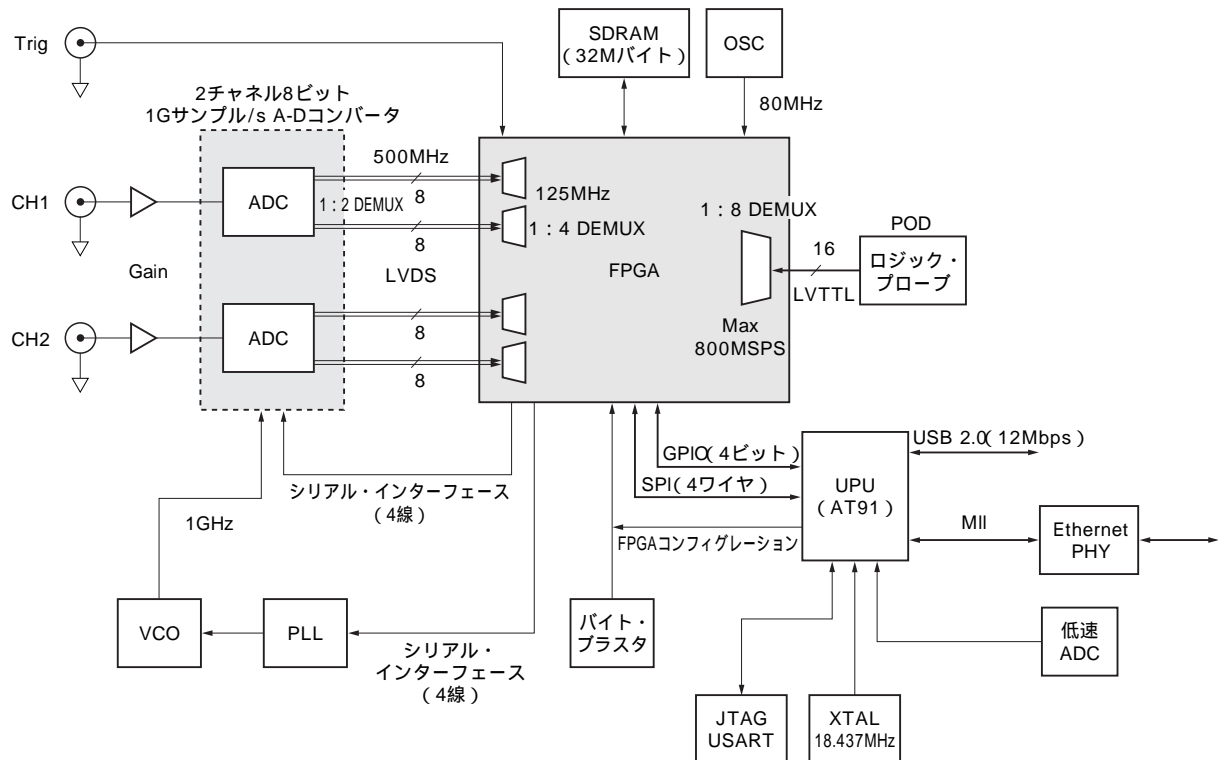
本稿で紹介するシステムは，パソコン・ベースの低コスト性があり，専用測定器並みの性能を実現しています．このシステムの特徴は以下の通りです．

① ディジタル・サンプリング（ロジック・アナライザ機能）：16チャネル，最大800 Mサンプル/s，非同期サンプリング
② アナログ・サンプリング（オシロスコープ機能）：2チャネル，最大1Gサンプル/s，リアルタイム・サンプリング（アナログ入力帯域幅は500MHz 程度）
③ 低コスト・ハードウェアの構成：低コストFPGA，1チップ・マイコン
④ 開発支援ツール・遠隔地ローガ両方対応：USB 2.0フルスピード対応，100MbpsのEthernet対応

2. 全体のハードウェアの構成

システム構成を**図F**に示します．高速A-Dコンバータでサンプリングされたデータは，LVDSインターフェースでFPGAに送られます．FPGAに入力されるデータはA-Dコンバータのデマルチプレクサでハーフ・レート（1/2）になりますが，FPGAの論理ブロックを利用したSerDes回路によりデシリアライズを行い，さらにデータ・レートを1/4に下げます．そのデータは複数（八つ）のメモリ・ブロックを用いて並列に書き込まれます．

また，ディジタル入力ポート（POD）のデータを，ダブル・

KeyWord
パソコン・ベース，簡易オシロスコープ，ロジック・アナライザ，AT91SAM7XC，eCos，SerDes，LVDS，HAT1044M，GM003，LP2981，TK63133SCL，MAX861，MAX2620，MB15E67，AD8184，OPA695

図F　システム・ブロック・ダイアグラム

FPGAで2チャネルA-Dコンバータからのデータのデシリアライズと16ビット非同期データ・キャプチャが行われる．マイコンからのシステムの制御はSPI規格の3線方式である．ユーザ・インターフェースはEthernetとUSB2.0．

データ・レート（DDR）バッファを用いて非同期キャプチャを行います．A-Dコンバータのインターフェースと同様に，デシリアライズ回路により，さらにデータ・レートを1/4に下げ，複数（八つ）のメモリを用いて並列に取り込みます．今回，ディジタルの入力（ロジック・アナライザのPOD）は3.3V系I/O規格（LVTTL/LVCMOS）の論理値のみを判定するものとし，外部とのレベル比較回路（コンパレータ）なしでFPGAの一般I/Oポートをそのまま使用することにします．

このように，FPGAはA-Dコンバータからのデータのデシリアライズと非同期データ・キャプチャという，高速データ・インターフェースの役割を果たしています．そのほかに，A-Dコンバータやサンプリング・クロック生成用の外部PLLとのシリアル・インターフェースなども行います．システムの制御とユーザ・インターフェースを担当するマイコンおよびFPGAは，SPI（serial peripheral interface）規格の3線方式でデータをやり取りします．ユーザ・インターフェースはEthernetとUSB 2.0の両方を選択的に使用することにしました．A-Dコンバータのサンプリング・クロック生成回路は，1GHzという非常に高い周波数であるため，電圧制御発振器（VCO：voltage controlled oscillator）と位相同期ループ（PLL：phase-locked loop）を用いて周波数シンセサイザで構成します．

表Aは詳細なシステムの基本仕様です．詳細回路図は付属CD-ROMに収録してあるPDFファイルを参照ください．

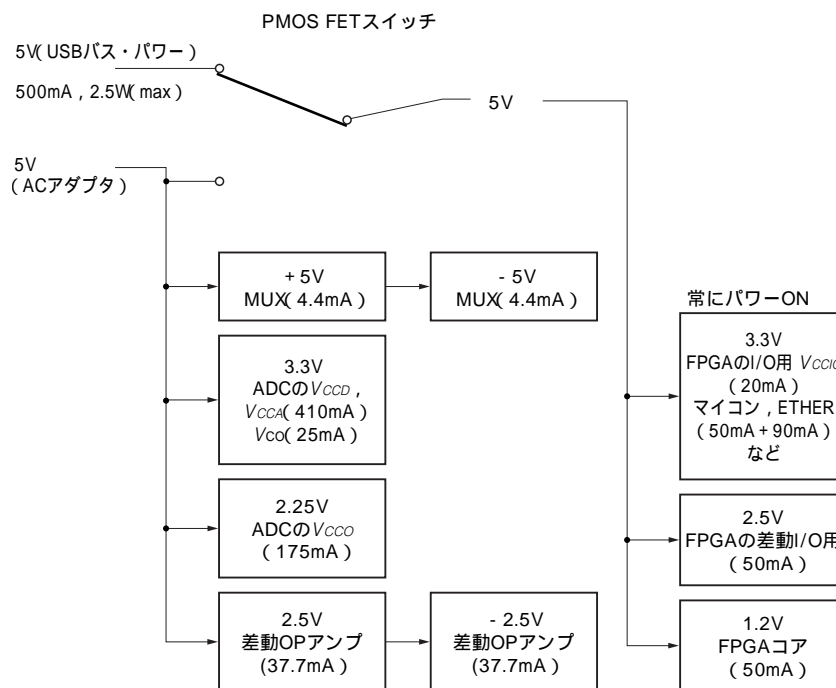
3. 電源部の設計

USB機器の特徴でもあるバス・パワー（5V，500mA，2.5W以内）駆動機器はACアダプタが不要で，非常に便利です．従って，できればバス・パワーからの電源供給を想定して電源回路を設計したいところですが，GHzのA-Dコンバータを駆動させるには，かなりの電力が必要になります．

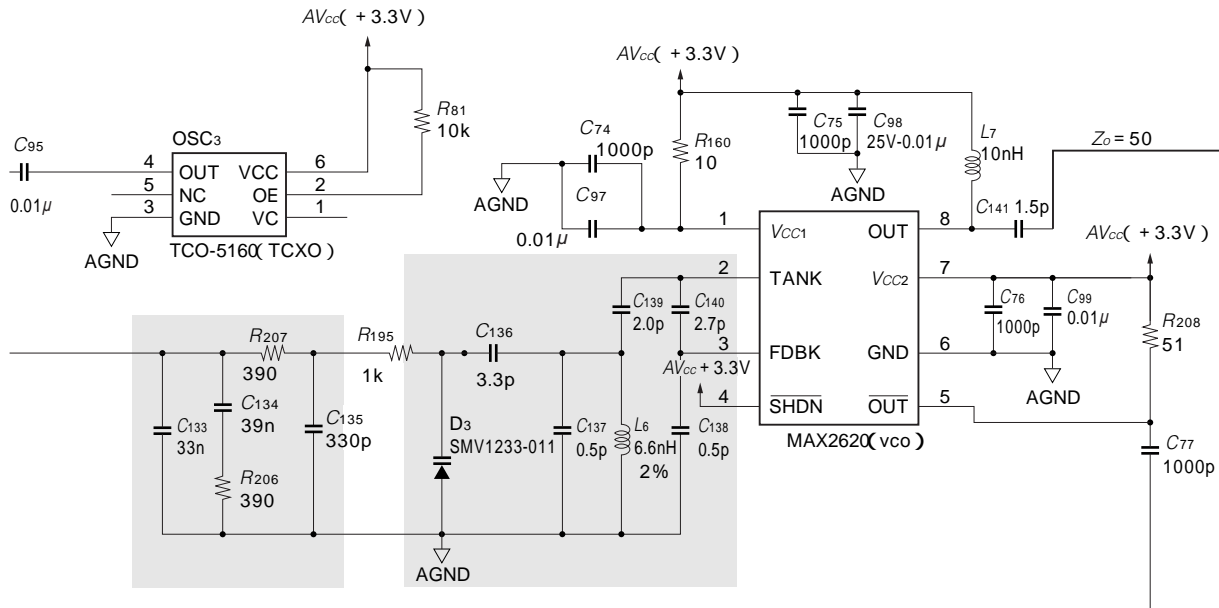
本システムに搭載するA-Dコンバータの場合，2チャネル動作時に1.4Wの消費電力という仕様で，大きい駆動電流を必要とします．従って，バス・パワーだけではかなり厳しいと思われます．ここでは，電力消費の大きいA-Dコンバータ部をUSBバス・パワー供給から切り離して，ACアダプタの投入の有り無しによって選択的に動作させることにします．つまり，ロジック・アナライザ機能だけならUSBバス・パワーで動作し，オシ

表A
基板の基本仕様

項目		内容
外形寸法		150 mm（W）×100 mm（D）
電源仕様		USB バス・パワー（5V，500mA）：ロジック・アナライザのみ AC電源アダプタ（DC 5V）：フル・モード時
消費電力		3.75W　（フル・モード時），1.75W（ロジック・アナライザのみ）
主な部品	マイコン（CPU）	Atmel社，AT91SAM7XC256 - ARM7TDMI ARM Thumb Processor - 内部SRAM ：64Kバイト - 内部Flash ：256Kバイト
	FPGA	Altera社，Cyclone II（EP2C8F256C8）
	ADC	Atmel社，AT84AD001B，2チャネル，1Gサンプル/s
	ETH-PHY	台湾Davicom Semiconductor社 DM9161AE，10/100Mbps Fast Ethernet
リアルタイムOS		RedHat社 eCos2.0
インターフェース		Ethernet（100BASE-TX），USB 2.0（12Mbps，Full-speed），RS-232-C 2チャネル，デバック・ポート
入力チャネル		オシロスコープ：2 チャネル，BNC，最大1Gサンプル/s（インタリーブ・モード時2Gサンプル/sまで可） ロジック・アナライザ：16 チャネル，最大800Mサンプル/s
メモリ・サイズ		FPGA（Altera社 Cyclone II，EP2C8F256）内部メモリのみ使用 アナログ：4K サンプル（バイト） ディジタル：4K サンプル（バイト）

図G
電源系統図
マイコンとFPGAは，ACアダプタ投入の有無に関わらずUSBパワーで電源ON状態になる．それ以外のA-Dコンバータ部のアナログ回路はACアダプタから電源投入時のみON状態になる．

ロスコープ機能も同時に使う場合にはACアダプタを投入することになります．

このような電源ソースの切り替えは，**図G**のようにPMOS FET「HAT1044M」（ルネサス テクノロジ）を用いて行います．マイコンとFPGAは，ACアダプタ投入の有り無しに関わらずUSBパワーで電源ON状態になり，それ以外のA-Dコンバータ部のアナログ回路はACアダプタから電源投入時のみON状態になります．電源レギュレータはインダクタ内蔵のスイッチング・タイプのものGM003（FDK，最大650mA）を用います．

その他，アナログ回路の電源としてはリプルの少ないLDO（low voltage drop）タイプのリニア・レギュレータ「LP2981」（米国National Semiconductor社）と「TK63133SCL」（東光社）を使用します．電源とグラウンドはアナログ用とディジタル用を分離しています．A-Dコンバータの入力段のOPアンプ用の負電源は，チャージ・ポンプ・インバータ「MAX861」（米国Maxim Integrated Products社）を使います．

図H　VCOタンク回路(f_{vco}＝1GHz場合)
VCOの発振周波数は，タンク回路の容量とインダクタにより決定される．ループ・フィルタからの電圧値変動により可変容量ダイオード(D_3)の容量が変化しVCOの発振周波数が変化する．

4. A-Dコンバータのサンプリング・クロック生成回路

選定した高速A-Dコンバータは最大1Gサンプル/sの性能があります．これは，1GHzのサンプリング・クロックを外部から供給する必要があることを意味します．市販のLSIがあればよいのですが，必要とする周波数のものが見つからない場合があります．無線機器でよく使われる周波数(例えば，800MHz，1500MHz，2400MHz帯など)であれば，市販のLSIがありますが，今回のように1GHzについては限定された用途でしか使わないため，電圧制御発振器(VCO)と位相同期ループ(PLL)を用いて周波数シンセサイザを設計することにします．これを使えば，必要とする周波数を自由に変えられます．

VCOは，電圧レベルによって発振周波数が決定されるものです．しかし，これは温度などの周辺環境によって変化しやすいため，一般にはPLLを用いて一定の周波数にロックさせます．PLLの周波数同期の原理は，VCO出力のフィードバックと基準クロックの位相比較を行い，その差分をチャージ・ポンプ動作で電圧に変換して出力します．その電圧はループ・フィルタで高周波成分が取り除かれて，VCOのタンク回路に入力されます．このような動作が常にフィードバック・ループで行われ，VCOの出力周波数は一定値に収束し安定します．

VCOの出力共振周波数を決定するパラメータは，**図H**のように共振タンク回路の定数値(LとC)であり，ループ・フィルタの設計も，発振に直接関わる重要なパラメータになります．また，発振安定度を高くするためには，高いQ値をもつインダクタ・コンデンサを用いる必要があります．

表B　発振周波数による容量の定数値

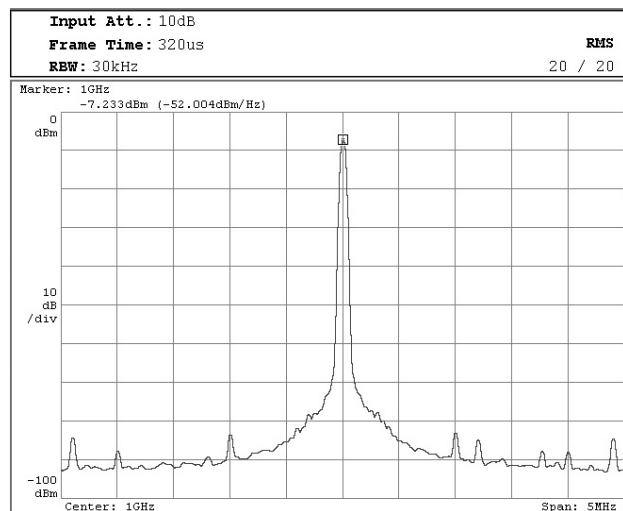
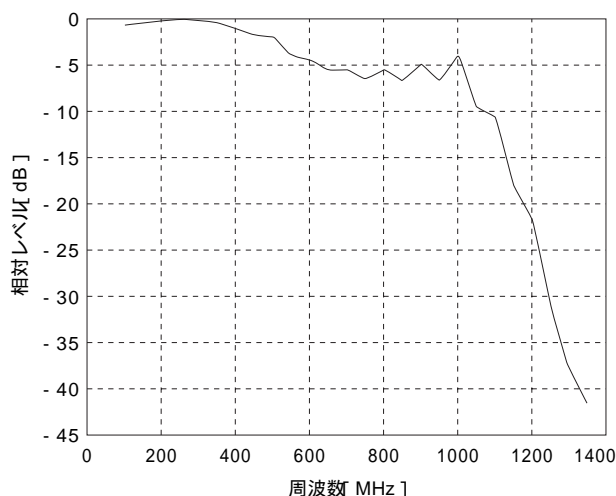
f_{vco}	1,000MHz	800MHz
C_{137}	0.5pF	2.7pF
C_{139}	2.0pF	2.7pF
C_{141}	1.5pF	3.0pF

本設計で使用したVCOは10 M～1,050 MHzの広い周波数範囲で±15MHzのチューニング・レンジを持つ「MAX2620」(米国Maxim Integrated Products社)，PLLは100M～2,500 MHzレンジのもの「MB15E07」(富士通)です．出力周波数として1GHzと800MHzの二つの場合について設計を行いました．スペクトラム・アナライザで観測した1GHzの場合の周波数スペクトルを，**図I**に示します．出力周波数が800MHzの場合は，**表B**のように容量値の変更が必要です．

5. A-Dコンバータの入力段の設計

● アナログ・バッファ

オシロスコープ用アナログ入力段は，A-Dコンバータの入力仕様に合わせるために必要なインピーダンス変換用バッファ・アンプ，シングル・エンド信号の差動変換，アンチエリアス

図J
オシロスコープ入力段のゲインと帯域幅
A-Dコンバータの入力段はマルチプレクサ，バッファ・アンプ，差動アンプで構成される．プローブからの入力インピーダンスはカスタム仕様になっている．

図I　周波数スペクトル(f_{vco}＝1GHz)
VCOの発振周波数が1GHzとぴったりロックしている．

図K　A-D変換して計算したアナログ入力段の周波数特性
A-D変換されたデータから計算したアナログ入力段の周波数特性．500MHzなら減衰が3dB以下になる．

(anti-aliasing)フィルタなどの役割を果たします．通常ならカップリング回路が入りますが，今回はDCカップリングにのみ対応します．

このシステムでは，広い帯域を確保するために，それぞれ広帯域部品を選定しました．**図J**に，入力段のブロック図を示します．入力信号はマルチプレクサAD8184(米国Analog Devices社)のバッファを通して，2段目のバッファOPA695(米国Texas Instruments社)から2倍に増幅され，さらに3段目の差動アンプから3倍増幅されます．

差動アンプでは，シングル・エンド信号の差動変換を行い，低域通過フィルタ(LPF：low pass filter)をエイリアス対策として実装します．差動アンプとA-Dコンバータ入力のパターンは，インピーダンスを50Ωに調整しています．A-Dコンバータの入力ピンは50Ωで終端されているため，信号振幅は半分に減衰します．

今回はマルチプレクサを使うので，普段オシロスコープの入力インピーダンスとして用いられる1MΩではなく，51kΩと1.2kΩで50：1電圧分配回路を前段におき，Z_{in}＝52kΩというカスタム仕様になっています．その結果，オシロスコープのプローブを1：1にし，プローブ内蔵の9MΩをバイパスさせた場合，ネット・ゲインは3/50となります．3.3Vのディジタル信号の観測が主な測定対象であるため，V_{in}＝3.5V_{pp}程度であればA-Dコンバータの差動入力レベルは250mV_{pp}で，A-Dコンバータの入力レンジ内に収まることになります．

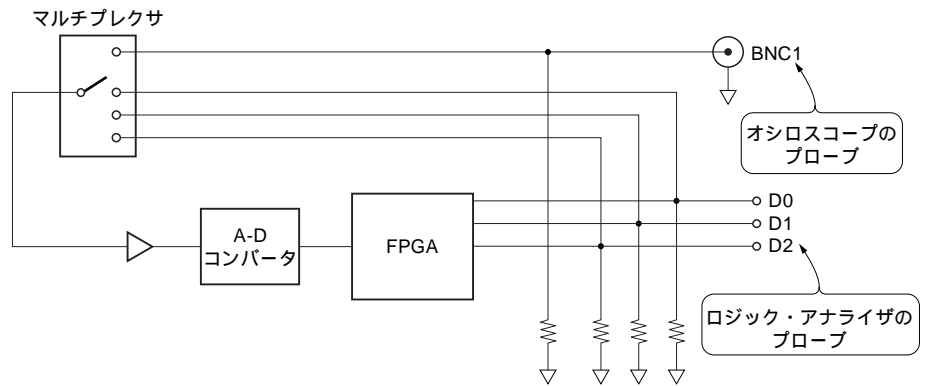
図KにA-D変換されたデータから計算したアナログ入力段の周波数特性を示します．500MHz程度までの帯域が取れていることがわかります．

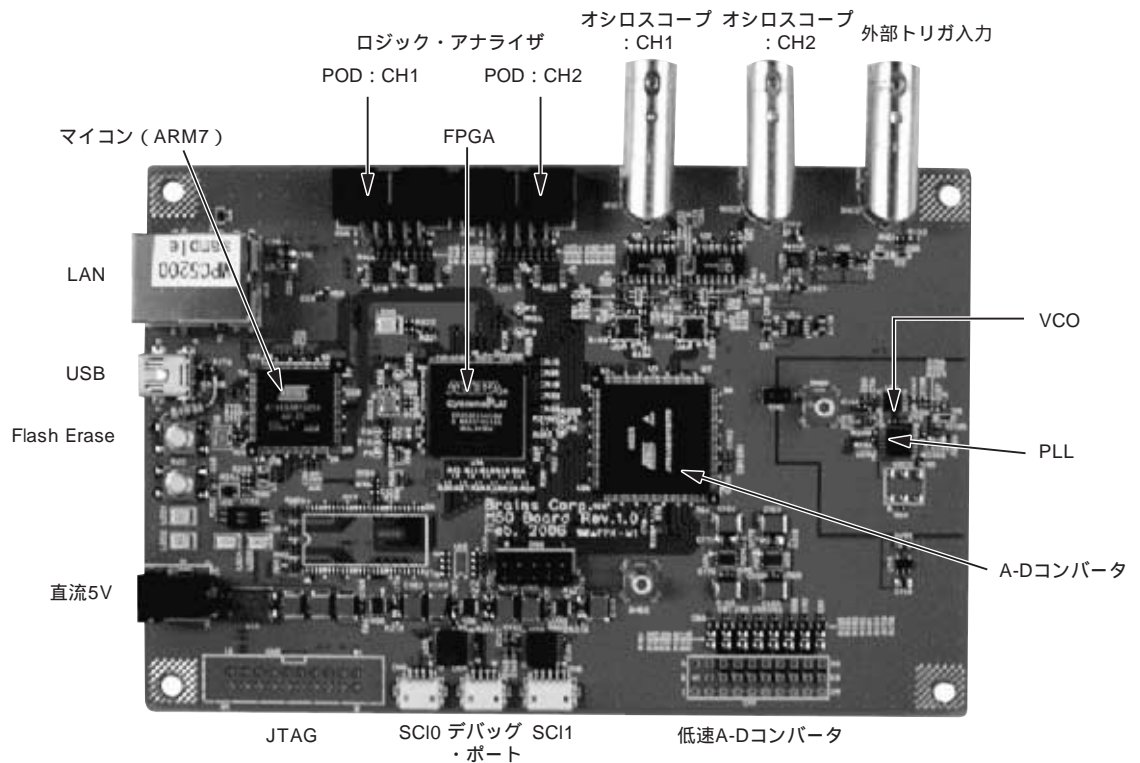
● アナログ・マルチプレクサの設計

アナログ入力段は，マルチプレクサAD8184により，A-Dコンバータの信号ソースの切り替えがソフトウェア的に可能になります．本設計では，マルチプレクサを用いることで，ディジタル信号入力(POD)から観測された波形を同時にアナログ的に観測したい場合，オシロスコープのプローブを直接対象物に当てずにA-Dコンバータの入力に引き回わして観測できるようにしています．

図Lにマルチプレクサ回路のブロック図を示します．マルチプレクサの切り替えは**表C**のように，CPUからの制御で電気的に行われます．

表C　マルチプレクサのA-Dコンバータの入力信号ソース切り替え

SEL	CH1(U1)	CH2(U2)
"00"	Probe	Probe
"11"	D0	D8
"10"	D1	D9
"01"	D2	D10

図L　アナログ・スイッチ(オシロスコープのCH1の場合)

ディジタル信号入力(POD)から観測された波形を，同時にアナログ的に観測したい場合に，マルチプレクサを用いてA-Dコンバータの入力が選択できるため，オシロスコープのプローブを直接対象物に当てなくてよい．

写真A
基板の写真(表面)
ガラス・エポキシ(FR-4)の8層貫通ビア構造．LVDSや高周波回路にはインピーダンス・コントロールを行った．

6．プリント基板の設計

高速A-Dコンバータの最大変換レートが1Gサンプル/sであり，その入力段のアナログ回路は十分な帯域(BW = 500MHz以上)をカバーし，高速差動インターフェースや高周波回路を採用しているので，プリント基板のパターン設計に注意が必要です．

そのため，高周波線路のパターンは極力短く調整し，差動信号の線路長は位相差によるスキューを防ぐために等長配線とします．

LVDS差動線路ペアのように50Ω整合が必要な回路には，プリント基板製造時にインピーダンス制御を行うことになります．

製作した基板は**写真A**のようになります．ガラス・エポキシ(FR-4)の8層貫通ビア構造にしています．

Minseok Kim　(株)ブレインズ